

NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

Patent Number: JP59205763
Publication date: 1984-11-21
Inventor(s): SUMIHIRO NAOTAKA
Applicant(s): NIPPON DENKI KK
Requested Patent: ☐ JP59205763
Application Number: JP19830080358 19830509
Priority Number(s):
IPC Classification: H01L29/78
EC Classification:
Equivalents:

Abstract

PURPOSE: To obtain a nonvolatile memory having high reliability by forming gate electrodes shaped to a first MISFET having a memory transistor function and a second MISFET having a transistor function for selection in a self-alignment manner when these MISFETs are formed to the same semiconductor substrate.

CONSTITUTION: A plurality of thick oxide films 36 for insulating and isolating fields are formed on a P type Si substrate 35 at regular intervals, and N<+> type drain regions 39 for memory transistors are shaped to one parts of the substrate 35 exposed among the oxide films 36, and coated with tunnel oxide films 38. The films 36 positioned among these oxide films 38 are connected previously by gate oxide films 37, and an N type polycrystalline Si film 40, a gate oxide film 41 and an N type polycrystalline Si film 42 are laminated and deposited on the whole surface. These laminates are patterned positioned on the regions 39, and the Si films 40 and gates 43 for transistors for selection positioned on the Si films 40 are formed on the surfaces except the regions 39. The whole surface is protected by an inter-layer insulating film 45.

Data supplied from the esp@cenet database - I2

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭59—205763

⑮ Int. Cl.³
H 01 L 29/78

識別記号

庁内整理番号
7514—5F

⑯ 公開 昭和59年(1984)11月21日

発明の数 1
審査請求 未請求

(全 6 頁)

⑭ 不揮発性半導体記憶装置

東京都港区芝五丁目33番1号日
本電気株式会社内

⑰ 特 願 昭58—80358

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭58(1983)5月9日

東京都港区芝5丁目33番1号

⑲ 発 明 者 住廣直孝

⑲ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

不揮発性半導体記憶装置

2. 特許請求の範囲

半導体基板の一主面に設けられた。メモリトランジスタ機能を有する第1のMIS電界効果トランジスタと選択用トランジスタ機能を有する第2のMIS電界効果トランジスタとで構成されるメモリセルを有する不揮発性半導体記憶装置において、第1のゲート電極からなる浮遊ゲートと第2のゲート電極からなる制御ゲートとを有し、浮遊ゲートが制御ゲートにすくなくともチャンネル領域上で自己整合に形成された、前記第1のMIS電界効果トランジスタと、すくなくともチャンネル領域上で第1のゲート電極と第2のゲート電極とを有し、第1のゲート電極が第2のゲート電極にすくなくともチャンネル領域上で自己整合に形成されるとともに第2のゲート電極がすくなくと

も一部で第1のゲート電極に接続された、前記第2のMIS電界効果トランジスタとで構成されたメモリセルを有することを特徴とする不揮発性半導体記憶装置。

3. 発明の詳細な説明

本発明は不揮発性半導体記憶装置に関し、特に浮遊ゲートを有するMIS電界効果トランジスタからなる電氣的書き込み、ならびに消去可能な不揮発性半導体記憶装置に関する。

電氣的書き込みならびに消去可能な不揮発生半導体記憶装置は、主としてリードオンリーメモリ (ROM) として用いられ、電氣的書き込み、消去が可能な動作機構からエレクトリカル イレイザブル プログラマブル リードオンリーメモリ (EEPROM) と称せられる。

現在良く知られているEEPROMの一つに、浮遊ゲートに電荷を蓄積する浮遊ゲート型がある。書き込み、消去は浮遊ゲートに電荷を注入注出することによってなされる。電荷注入注出の方法は

ファラーノルトハイムトンネルによる電子注入、電子注出アバランシェブレイクダウンを利用する正孔注入、電子注入、チャンネル内の高電界を利用するチャンネル電子注入等の方法が考えられ、そのうちいくつかの組合せが発表されている。

第1図は、ファラーノルトハイム電子注入による消去とファラーノルトハイム電子注出による書き込み動作を行なうMIS EEPROMのメモリトランジスタの断面図である。図において2は n^+ 型のソース領域、3は n^+ 型のドレイン領域、6は多結晶シリコンからなる浮遊ゲート、8は多結晶シリコンからなる制御ゲート、5は第1のゲート酸化膜、7は第2のゲート酸化膜、4はファラーノルトハイムトンネルが行なわれる薄いトンネル酸化膜、1はP型シリコン基板を示している。消去動作はシリコン基板1、ドレイン領域3、ソース領域2を接地し、制御ゲート8に高正電位を印加することによりドレイン領域3からトンネル酸化膜4を通して電子が浮遊ゲート6に注入されることによりなされる。書き込み動作

は制御ゲート8、シリコン基板1、ソース領域2を接地しドレイン領域3に高正電位を印加することにより、浮遊ゲート6からトンネル酸化膜4を通してドレイン領域3へ電子が注出されることによりなされる。ところが書き込みを行なった際に浮遊ゲート6に於ける電子を注出し過ぎると正孔が蓄積されているような状態になる為、メモリトランジスタはデプレッション動作することになり、読み出し時において非選択、即ち制御ゲート電圧が零であっても電流が流れてしまう。

このため、第2図に示す様にメモリトランジスタに選択用トランジスタを接続して、1つのメモリセルを構成する方法がとられる。図において、9は選択用トランジスタのドレイン領域、3'はソース領域、10は選択ゲート酸化膜、11は選択ゲートを示している。読み出し時において非選択の場合、選択ゲート電圧が零であるから電流が流れてしまうことはない。

第3図はメモリセルアレイを構成する時の平面図を示し、第4図は第3図のA-A'断面を、第5

図はB-B'断面を製造プロセスフローに従って示す図である。ここでは、ファラーノルトハイムトンネルが行なわれる薄いトンネル酸化膜は製造上、マスク目合せの位置ずれによる面積変動がないように、ドレイン領域とフローティングゲートに自己整合されるように設計されている。

以下に第3図、第4図、第5図を用いて、製造プロセスの概略を説明する。

まず、P型シリコン基板17上に第3図のマスクパターン12を用いて、フィールド絶縁分離酸化膜18を形成する(第4図(a)、第5図(a))。次にトンネル酸化膜下のメモリトランジスタドレイン領域をなるべく部位に第3図のマスクパターン13を用いて、 n^+ 領域21を形成し、メモリトランジスタの第1のゲート酸化膜19を形成したのち、マスクパターン13を用いて第1のゲート酸化膜を除去し、薄いトンネル酸化膜20を形成する(第4図(b)、第5図(b))。次にフローティングゲートを形成する多結晶シリコン膜22を成長し、 n 型にドーブしたのちマスクパターン14を

用いてエッチング除去する(第4図(c)、第5図(c))。次に第1のゲート酸化膜を除去し、メモリトランジスタの第2のゲート酸化膜23と選択用トランジスタの選択ゲート酸化膜24を形成したのち、メモリトランジスタの制御ゲートと選択用トランジスタの選択ゲートを形成する多結晶シリコン膜を成長し n 型にドーブする(第4図(d)、第5図(d))。次にマスクパターン15(15-1はメモリトランジスタ制限ゲートを形成し、15-2は選択用トランジスタ選択ゲートを形成する。)を用いて多結晶シリコン、第2のゲート酸化膜及び選択ゲート酸化膜、多結晶シリコンをエッチング除去する。このときフローティングゲートを形成する多結晶シリコンは制御ゲートに自己整合され、制御ゲート下に第3図の14と15-1のオーバーラップしたパターンが残る(第4図(e)、第5図(e))。次に第1のゲート酸化膜を除去し、 A_s をイオン注入してソース、ドレインとなる n^+ 領域27を形成したのち層間酸化膜28を形成し、第3図マスクパターン16を用いて層間酸化膜を除去すること

によりコンタクト孔を開孔する(第4図(f)、第5図(f))。以下、アルミからなる配線層を形成するが、ここでは説明を省略する。

以上述べた従来技術においては、以下に述べる大きな問題点がある。メモリトランジスタは浮遊ゲートを有するため、二層の多結晶シリコンを有する構造とならざるをえないが、選択用トランジスタはメモリトランジスタではないから一層多結晶シリコン構造としなければならない。選択ゲートを浮遊ゲートを有する構造することはスレッシュホールド電圧が高くなり、浮遊ゲートに電荷が注入されてスレッシュホールド電圧が変動する可能性が大きい。そのため第4図(e)に示す様に、選択ゲートと制御ゲート形成後、第2のゲート酸化膜除去の時、選択ゲート酸化膜も除去されるため浮遊ゲートを形成する多結晶シリコンを除去する時に選択ゲートのソースドレイン領域となるシリコン基板がエッチングされてしまい表面形状はあれてしまう。その後形成されるソースドレインの n^+ 領域は実効的に深い n^+ 領域となり、しかも深さは表

面形状を反映したものになり、選択用トランジスタの特性を不安定なものにしてしまう。

本発明の目的は、上述した欠点の除去された十分な高信頼性を有する不揮発性半導体記憶装置を提供することにある。

本発明の特徴は、半導体基板の一主面に設けられた、メモリトランジスタ機能を有する第1のMIS電界効果トランジスタと選択用トランジスタ機能を有する第2のMIS電界効果トランジスタとで構成されるメモリセルを有する不揮発性半導体記憶装置において、第1のゲート電極からなる浮遊ゲートと第2のゲート電極からなる制御ゲートとを有し、浮遊ゲートが制御ゲートにすくなくともチャンネル領域上で自己整合に形成された第1のMIS電界効果トランジスタと、すくなくともチャンネル領域上で第1のゲート電極と第2のゲート電極とを有し、第1のゲート電極が第2のゲート電極にすくなくともチャンネル領域上で自己整合に形成されるとともに、第2のゲート電極がすくなくとも一部で第1のゲート電極に接続

された第2のMIS電界効果トランジスタとで構成されたメモリセルを有する不揮発性半導体記憶装置にある。

以下図面を参照し、本発明の装置について詳述する。

第6図は本発明によるメモリセルアレイの平面図を示し、第7図は第6図のA-A'断面を、第8図はB-B'断面を製造プロセスに従って示す図である。

まずP型シリコン基板35上に第6図のマスクパターン29を用いて、フィールド絶縁分離酸化膜36を形成する(第7図(a)、第8図(a))。次に第6図のマスクパターン30を用いて、トンネル酸化膜下となるドレイン領域に n^+ 領域39を形成し、第1のゲート酸化膜37を形成し、マスクパターン30を用いて第1のゲート酸化膜を除去し、薄いトンネル酸化膜38を形成する(第7図(b)、第8図(b))。次に第1の多結晶シリコン膜40を形成し n 型にドーブする(第7図(c)、第8図(c))。次に第2のゲート酸化膜41を形成し、

第6図のマスクパターン32を用いて第2のゲート酸化膜を除去し、第2の多結晶シリコン膜を形成し n 型にドーブする。(第7図(d)、第8図(d))。次に第6図のマスクパターン33を用いて第2の多結晶シリコン膜を除去する。第6図の33-1はメモリトランジスタの制御ゲート42を形成し33-2は選択用トランジスタの選択ゲート43を形成する。続いて第2のゲート酸化膜41を除去し、第1の多結晶シリコン膜40を除去する。この時、メモリトランジスタの浮遊ゲートはすくなくともチャンネル上で制御ゲート42に自己整合されており、浮遊ゲートのパターンは第6図で33-1と31のオーバーラップした部位となる。また、選択用トランジスタの第1の多結晶シリコン40は、32の部位で選択ゲート43に接続され、チャンネル上で選択ゲート43に自己整合される(第7図(e)、第8図(e))。次に第1のゲート酸化膜37を除去し、 A_1 をイオン注入してソースドレイン領域を形成した後、層間酸化膜45を形成し第6図のマスクパターン34を用いて酸化膜

を除去しコンタクト孔を開孔する(第7図(f)、第8図(f))。以下、A₁からなる配線層を形成するが、ここでは説明を省略する。

以上述べた様に、選択用トランジスタはメモリトランジスタの浮遊ゲートを制御ゲートに自己整合に形成する多結晶シリコンのエッチング時に、同様に選択ゲートに自己整合に第1の多結晶シリコンをエッチングするので、チャネル近傍のソースドレイン領域のシリコン基板はエッチングされず、特性に不安定性を与える要素はない。また、第1の多結晶シリコンは選択ゲートに接続されており、スレッショルドが高くなる事はない。

以上の様に本発明により、十分な高信頼性を有する不揮発性半導体記憶装置が得られる。なお、この実施例では薄い酸化膜を通してのフーラーノルトハイムトンネル注入、注出による書き込み、消去を行なうEEPROMをとりあげたが、本発明はメモリトランジスタと選択用トランジスタとでメモセルを構成するEEPROMすべてに有用であることはいうまでもない。

4. 図面の簡単な説明

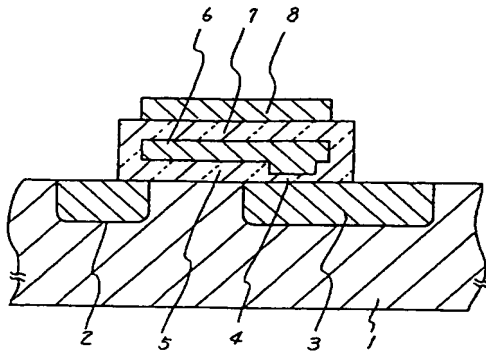
第1図はフーラーノルトハイムトンネル注入注出により書き込み、消去動作を行なうメモリトランジスタの断面構造を示し、第2図はメモリトランジスタに選択用トランジスタを接続して構成されるメモセルの断面構造を示す。第3図は従来技術により構成されるメモセルアレイの平面図を示し、第4図(a)~(f)、第5図(a)~(f)は各々製造プロセス順に従って、第3図の各々A-A'、B-B'の断面を示す図である。第6図は本発明の実施例のメモセルアレイの平面図を示し、第7図(a)~(f)、第8図(a)~(f)は各々製造プロセスに従って第6図の各々A-A'、B-B'の断面を示す図である。

なお図において、1……P型シリコン基板、2……ソース、3……ドレイン、4……酸化膜、5……第1のゲート酸化膜、6……浮遊ゲート、7……第2のゲート酸化膜、8……制御ゲート、9……選択用トランジスタのドレイン、3'……選択用トランジスタのソース、10……選択用トラン

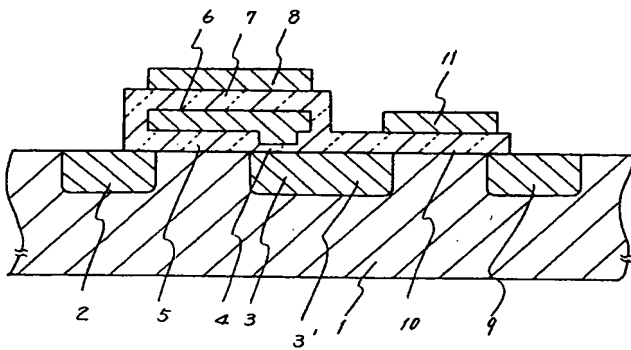
ジスタのゲート酸化膜、11……選択ゲート、12、13、14、15-1、15-2、16、29、30、32、33-1、33-2、34……マスクパターン、17、35……P型シリコン基板、18……フィールド酸化膜、19、37……第1のゲート酸化膜、20、38……トンネル酸化膜、22、40……多結晶シリコン膜、23、41……第2のゲート酸化膜、24……選択用トランジスタのゲート酸化膜、27……ソース、ドレイン領域、28、45……層間酸化膜、39……n⁺領域、42……メモリトランジスタの制御ゲート、43……選択用トランジスタのゲート、である。

代理人 弁理士 内 原 晋

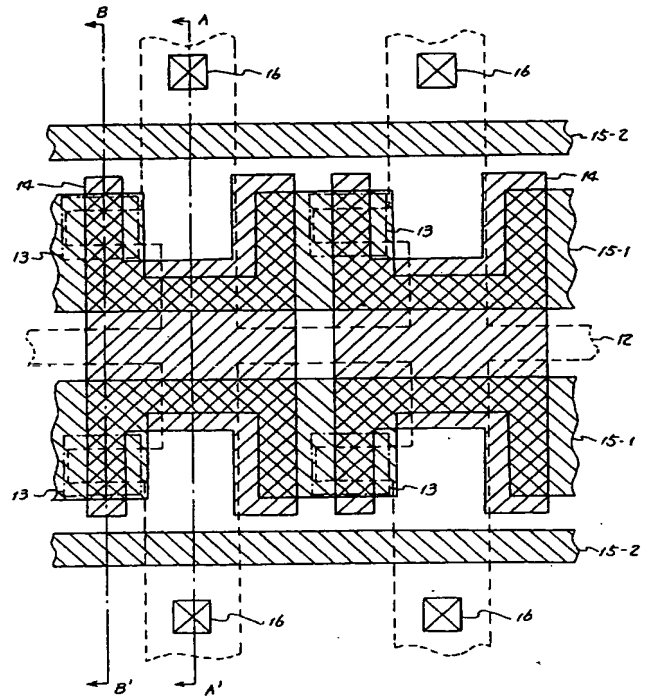




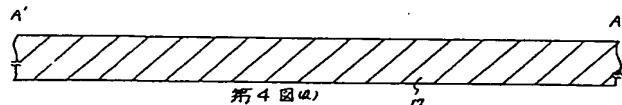
第 1 図



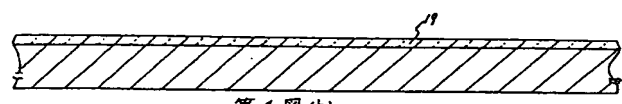
第 2 図



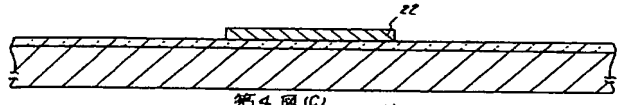
第 3 図



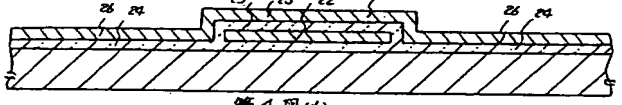
第 4 図(a)



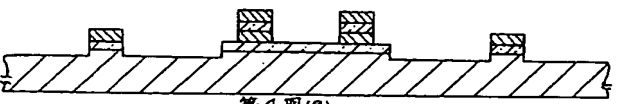
第 4 図(b)



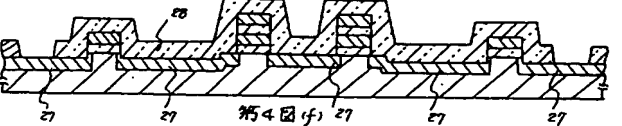
第 4 図(c)



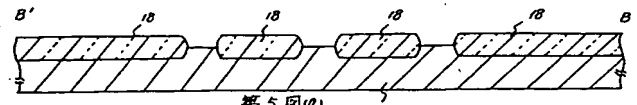
第 4 図(d)



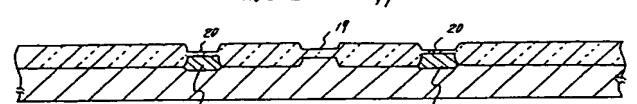
第 4 図(e)



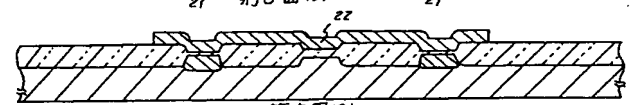
第 4 図(f)



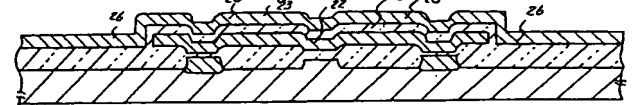
第 5 図(a)



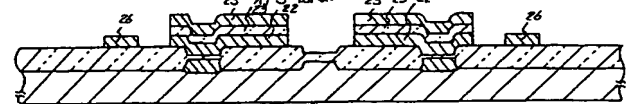
第 5 図(b)



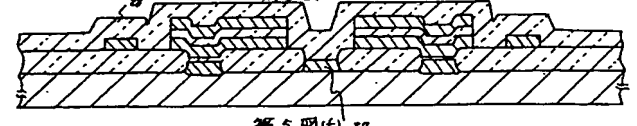
第 5 図(c)



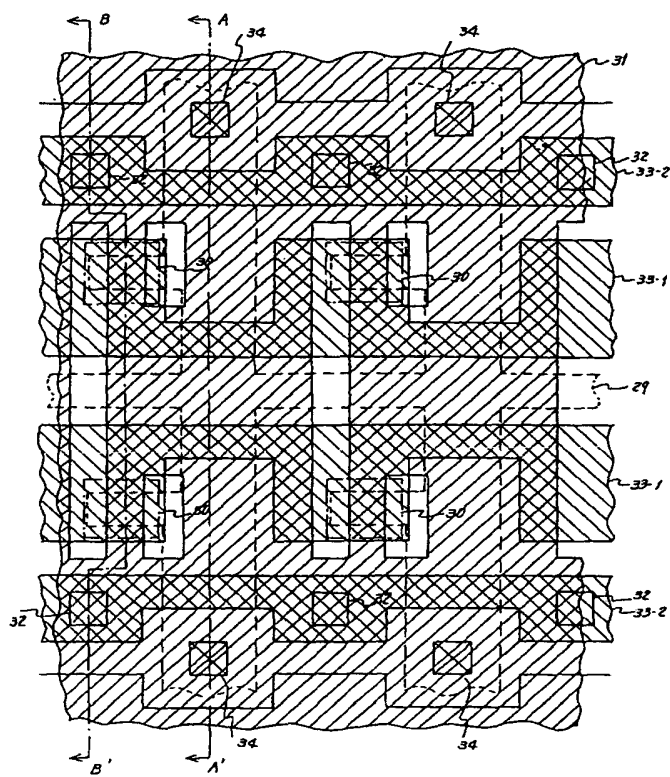
第 5 図(d)



第 5 図(e)



第 5 図(f)



第 6 図

